

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/002712

International filing date: 21 February 2005 (21.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-044459
Filing date: 20 February 2004 (20.02.2004)

Date of receipt at the International Bureau: 24 March 2005 (24.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

02.03.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 0 日
Date of Application:

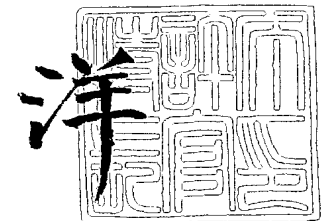
出 願 番 号 特 願 2 0 0 4 - 0 4 4 4 5 9
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 4 4 4 5 9]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 8 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 0 7 7 5 7 7

【書類名】 特許願
【整理番号】 33410012
【提出日】 平成16年 2月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/338
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 岡本 康宏
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 安藤 裕二
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 宮本 広信
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 中山 達峰
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 井上 隆
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 葛原 正明
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100123788
 【弁理士】
 【氏名又は名称】 宮崎 昭夫
 【電話番号】 03-3585-1882
【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 暢之
【選任した代理人】
 【識別番号】 100106297
 【弁理士】
 【氏名又は名称】 伊藤 克博
【選任した代理人】
 【識別番号】 100106138
 【弁理士】
 【氏名又は名称】 石橋 政幸
【手数料の表示】
 【予納台帳番号】 201087
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 0304683

【書類名】 特許請求の範囲**【請求項 1】**

ヘテロ接合を含むIII族窒化物半導体層構造と、該半導体層構造上に互いに離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と、前記半導体層構造上に形成された絶縁膜と、を有する電界効果トランジスタにおいて、

前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し、かつ前記絶縁膜上に形成されたフィールドプレート部を有しており、

前記絶縁膜の前記フィールドプレート部と前記半導体層構造との間に位置する部分の厚さが、前記ゲート電極から前記ドレイン電極の方向に向かって次第に厚くなるように変化していることを特徴とする電界効果トランジスタ。

【請求項 2】

前記半導体層構造は $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造を有している、請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記絶縁膜の前記部分の厚さが階段状に変化している、請求項 1 または 2 に記載の電界効果トランジスタ。

【請求項 4】

前記絶縁膜の前記部分の厚さが連続的に変化している、請求項 1 または 2 に記載の電界効果トランジスタ。

【請求項 5】

前記絶縁膜が SiON 膜からなる、請求項 1 から 4 のいずれか 1 項に記載の電界効果トランジスタ。

【請求項 6】

前記絶縁膜が SiO_2 膜からなる、請求項 1 から 4 のいずれか 1 項に記載の電界効果トランジスタ。

【請求項 7】

前記絶縁膜が SiN 膜と SiO_2 膜との積層膜からなる、請求項 1 から 4 のいずれか 1 項に記載の電界効果トランジスタ。

【書類名】 明細書

【発明の名称】 電界効果トランジスタ

【技術分野】

【0001】

本発明は、III族窒化物半導体を用いた電界効果トランジスタに関するものである。

【背景技術】

【0002】

図3は、従来技術によるヘテロ接合電界効果トランジスタ (Hetero-Junction Field Effect Transistor; 以下、「HJFET」という。) の断面構造図である。このような従来技術のHJFETは、例えば非特許文献1に報告されている。

【0003】

図3に示す従来のHJFETは、サファイア基板109の上にAlNバッファ層111、GaNチャネル層112、およびAlGaN電子供給層113がこの順で積層されている。さらにAlGaN電子供給層113の上にソース電極101とドレイン電極103が形成されており、これらの電極101、103はAlGaN電子供給層113にオーム性接触している。また、ソース電極101とドレイン電極103との間にゲート電極102が形成されており、このゲート電極102はAlGaN電子供給層113にショットキー性接触している。このHJFETの最上層には、SiN膜121が表面保護膜として形成されている。

【0004】

このようなAlGaN/GaN HJFETにおいては、コラプス量とゲート耐圧との間にトレードオフが存在し、その制御が非常に困難である。AlGaN/GaNヘテロ接合においては、AlGaN層とGaN層との格子不整合に起因するストレスによってピエゾ分極が発生し、AlGaN/GaN界面に2次元電子ガスが供給される。このため、素子表面にストレスを生じる保護膜を形成すると、HJFETの素子特性に影響を与える。

【0005】

図4は、表面保護膜SiNの厚さと、コラプスによる電流変化量およびゲート耐圧との関係を示すグラフである。

【0006】

ここで、コラプスとは、HJFETが大信号動作する際に、表面トラップの応答によって表面に負電荷が蓄積された状態になり、最大ドレイン電流が抑制される現象である。コラプスが顕著になると大信号動作時のドレイン電流が抑制されるため、飽和出力が低下する。

【0007】

このようにコラプスが顕著な素子の表面にSiN膜を形成すると、SiN膜のストレスによってAlGaN中のピエゾ分極電荷が増加し、表面負電荷を打ち消す効果があるため、コラプス量を減らすことができる。図4を参照すると、例えばSiN膜がない場合(膜厚0nm)ではコラプス量は60%以上であるが、SiN膜の膜厚が100nmの場合ではコラプス量は10%以下に抑制できることがわかる。

【0008】

一方、表面負電荷はゲートドレイン間の電界集中を緩和し、ゲート耐圧を高める効果がある。このため、SiN膜を厚くして表面負電荷が打ち消されると、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下する。その結果、図4に示すように、コラプスとゲート耐圧との間に、SiN膜の厚さの違いによるトレードオフが存在する。

【0009】

図5は、上記のHJFETの課題を解決するためにフィールドプレート部を付加した従来技術の他のHJFETの断面構造図である。このような従来技術のHJFETは、例えば非特許文献2に報告されている。

【0010】

このHJFETは、SiC等からなる基板110上に構成されている。基板110上に

は半導体層からなるバッファ層 111 が形成されている。このバッファ層 111 上に GaN チャネル層 112 が形成されている。チャネル層の上には、AlGaIn 電子供給層 113 が形成されている。この電子供給層 113 上にはオーム性接触がとられたソース電極 101 およびドレイン電極 103 が設けられている。ソース電極 101 とドレイン電極 103 との間には、ドレイン電極 103 側にひさし状に張り出したフィールドプレート部 105 を有し、ショットキー性接触がとられたゲート電極 102 が設けられている。電子供給層 113 の表面は SiN 膜 121 で覆われており、フィールドプレート部 105 の直下にはこの SiN 膜 121 が存在している。

【0011】

上記のようにフィールドプレートを付加した HJFET によれば、コラプスとゲート耐圧とのトレードオフを改善することが可能である。すなわち、大信号動作時のピンチオフ状態時にはフィールドプレート部によってゲート近傍の電界が緩和されることによりゲート耐圧が改善し、オン状態時にはフィールドプレート部によって表面電位を変調して最大のドレイン電流を流すことができる。

【非特許文献 1】 2001 年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト (IEDM01-381~384)、安藤 (Y.Ando)

【非特許文献 2】 2001 年エレクトロニクス・レターズ (Electronics Letters vol. 37 p.196-197)、Li 等

【発明の開示】

【発明が解決しようとする課題】

【0012】

図 3 および図 4 を参照して説明したように、コラプスが顕著な素子の表面に SiN 膜を形成すると、SiN 膜のストレスによって AlGaIn 中のピエゾ分極電荷が増加し、表面負電荷を打ち消す効果がある一方で、SiN 膜を厚くして表面負電荷が打ち消されると、ゲートドレイン間の電界集中が顕著になり、ゲート耐圧が低下してしまう。

【0013】

そこで、図 5 に示す従来技術のようにソース電極とドレイン電極との間にフィールドプレート部を設けることが提案されているが、フィールドプレート部の直下の SiN 膜の膜厚が厚い場合には十分な電界緩和効果を得ることができない。図 5 に示した従来のフィールドプレート構造では、30V 程度の動作電圧で要求されるゲート耐圧とコラプス抑制との両立を図ることは可能であるが、50V 以上の更なる高電圧による動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることは困難である。

【0014】

コラプス抑制の効果はフィールドプレートの寸法が大きいほど高くなるので、フィールドプレートの寸法を大きくすることでコラプス抑制の効果をより得ることが可能である。しかしながら、フィールドプレートの寸法がゲート電極とドレイン電極との間隔の 70% を超えると、ゲート耐圧がフィールドプレートとドレイン電極との間の電界集中で決まるため、逆にゲート耐圧が低下する傾向がある。そのため、フィールドプレートの寸法を大きくすることによるコラプス抑制には限界がある。

【0015】

そこで本発明は、より高い電圧による動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることが可能な電界効果トランジスタを提供することを目的とする。

【課題を解決するための手段】

【0016】

上記目的を達成するため、本発明の電界効果トランジスタは、ヘテロ接合を含む III 族窒化物半導体層構造と、該半導体層構造上に互いに離間して形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と、前記半導体層構造上に形成された絶縁膜と、を有する電界効果トランジスタにおいて、前記ゲート電極は、前記ドレイン電極側にひさし状に張り出し、かつ前記絶縁膜上に形成さ

れたフィールドプレート部を有しており、前記絶縁膜の前記フィールドプレート部と前記半導体層構造との間に位置する部分の厚さが、前記ゲート電極から前記ドレイン電極の方向に向かって次第に厚くなるように変化していることを特徴とする。

【0017】

本発明の電界効果トランジスタによれば、フィールドプレート部を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極のドレイン電極側の端部にかかる電界がフィールドプレート部の働きによって緩和されるので、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。

【0018】

さらに、本発明の電界効果トランジスタによれば、電界が最も集中するゲート電極の近傍の領域における絶縁膜、すなわちフィールドプレート部の直下の絶縁膜の膜厚が、ゲート電極からドレイン電極の方向に向かって次第に厚くなるように変化しているので、その領域における絶縁膜の膜厚が他の領域の絶縁膜よりも薄くなり、この領域で表面負電荷とフィールドプレート部との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することができる。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極の直近であり、かつゲート電極の近傍の領域における絶縁膜は比較的薄いためにフィールドプレート部によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。

【0019】

このように、本発明の電界効果トランジスタによれば、ゲート耐圧とコラプス抑制との両立をより一層良好に図ることができ、従来よりも高い電圧による動作動作を実現することが可能になる。

【0020】

さらに、前記半導体層構造はAlGa_N/Ga_Nヘテロ構造を有している構成としてもよい。

【0021】

さらには、前記絶縁膜の前記部分の厚さが階段状に変化している構成としてもよく、あるいは、前記絶縁膜の前記部分の厚さが連続的に変化している構成としてもよい。

【0022】

また、前記絶縁膜がSiON膜、SiO₂膜、あるいはSiN膜とSiO₂膜との積層膜からなる構成としてもよい。

【発明の効果】

【0023】

以上説明したように、本発明の電界効果トランジスタによれば、より高い電圧による動作動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることができる。

【発明を実施するための最良の形態】

【0024】

次に、本発明の実施形態について図面を参照して説明する。

【0025】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るHJFETの断面構造図である。

【0026】

本実施形態のHJFETは、SiC等からなる基板10上に構成される。基板10上には半導体からなるバッファ層11が形成されている。このバッファ層11上にGa_Nチャネル層12が形成されている。Ga_Nチャネル層12の上には、AlGa_N電子供給層13が形成されている。このAlGa_N電子供給層13上にはオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3との間

には、ドレイン電極3側にひさし状に張り出したフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。AlGa_N電子供給層13の表面は絶縁膜であるSiON膜23で覆われており、フィールドプレート5の直下のSiON膜23（フィールドプレート層23a）は、ゲート電極2側からドレイン電極3側に向かって階段状に厚くなっている。

【0027】

本実施形態のHJFETは、以下のように形成される。

【0028】

まず、SiC等からなる基板10上に、例えば分子線エピタキシ（Molecular Beam Epitaxy; MBE）成長法によって半導体を成長させる。このようにして形成した半導体層は、基板10側から順に、アンドープのAlNからなるバッファ層11（膜厚20nm）、アンドープのGa_Nからなるチャネル層12（膜厚2μm）、アンドープのAl_{0.2}Ga_{0.8}NからなるAlGa_N供給層13（膜厚25nm）である。

【0029】

次いで、エピタキシャル層構造の一部をGa_Nチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ（不図示）を形成する。続いて、AlGa_N電子供給層13上に、例えばTi/Alなどの金属を蒸着することによってソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことでオーム性接触を取る。

【0030】

続いて、SiON膜23（膜厚150nm）をプラズマCVD法等によって形成する。SiON膜23のうちフィールドプレート部5に覆われる部分であるフィールドプレート層23aの膜厚をエッチングによって階段状に変え、完全に除去して露出したAlGa_N電子供給層13上に例えばNi/Alなどの金属を蒸着して、フィールドプレート部5を有するショットキー接触のゲート電極2を形成する。本実施形態では、図1に示すように、フィールドプレート層23aの厚さをゲート電極2からドレイン電極3の方に向かうにつれて次第に厚くなるように3段階に階段状に変化させている。

【0031】

このようにして、図1に示したHJFETを作製する。

【0032】

本実施形態のようにフィールドプレート部5を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極2のドレイン電極3側の端部にかかる電界がフィールドプレート部5の働きによって緩和されることにより、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部5によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。

【0033】

加えて、本実施形態によれば、電界が最も集中するゲート電極2の近傍の領域におけるSiON膜23、すなわちフィールドプレート部5の直下のSiON膜23であるフィールドプレート層23aを他の領域のSiON膜23よりも薄くすることで、この領域で表面負電荷とフィールドプレート部5との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することが可能である。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極2の直近であり、かつフィールドプレート層23aは比較的薄いためにフィールドプレート部5によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。

【0034】

本実施形態のようにフィールドプレート層23aの厚さを階段状に変化させている構成では、フィールドプレート層23aの膜厚が最も薄い部分（第1段目の部分）の、ゲート電極2とドレイン電極3との間に延びる方向の寸法を0.3μm以上とすることが好ましい。さらには、フィールドプレート層23aの膜厚が最も薄い部分の上記寸法を0.5μm以上とすることが好ましい。また、ドレイン電極3側に延びるフィールドプレート部5

の全体寸法は $0.5\mu\text{m}$ 以上とすることが好ましく、さらにはフィールドプレート部5の全体寸法は $0.7\mu\text{m}$ 以上とすることが好ましい。また、フィールドプレート部5の端部は、ドレイン電極3にオーバーラップしない位置とすることが好ましい。

【0035】

フィールドプレート部5の寸法が大きいほどコラプス抑制の効果は高いが、ゲート耐圧はフィールドプレート部5とドレイン電極3の間の電界集中で決まるため、フィールドプレート部5のドレイン電極3側の端部がゲート電極2とドレイン電極3の間隔の70%を超えると、逆にゲート耐圧が低下する傾向がある。このため、フィールドプレート部5の寸法をゲート電極2とドレイン電極3の間隔の70%以下とすることが好ましい。

【0036】

本実施形態では、フィールドプレート部5の直下のSiON膜23からなるフィールドプレート層23aの厚さをゲート電極2からドレイン電極3の方に向かうにつれて次第に厚くなるように3段階に変化させているが、その厚みが少なくとも2段階に変化する構成を有していれば同様の効果を得ることができる。また、本実施形態ではフィールドプレート層23aを構成する絶縁膜としてSiON膜を用いた例を示したが、SiON膜に代えてSiN膜、SiO₂膜、あるいはSiN膜とSiO₂膜との積層膜を用いた場合にも同様の効果を得ることができる。

【0037】

(第2の実施形態)

図2は、本発明の第2の実施形態に係るHJFETの断面構造図である。

【0038】

本実施形態のHJFETは、SiC等からなる基板10上に構成される。基板10上には半導体からなるバッファ層11が形成されている。このバッファ層11上にGaNチャネル層12が形成されている。GaNチャネル層12の上には、AlGaN電子供給層13が形成されている。このAlGaN電子供給層13上にはオーム性接触がとられたソース電極1およびドレイン電極3が設けられている。ソース電極1とドレイン電極3との間には、ドレイン電極3側にひさし状に張り出したフィールドプレート部5を有し、ショットキー性接触がとられたゲート電極2が設けられている。AlGaN電子供給層13の表面は絶縁膜であるSiON膜23で覆われており、フィールドプレート5の直下のSiON膜23（フィールドプレート層23a）は、ゲート電極2側からドレイン電極3側に向かって連続的に厚くなっている。

【0039】

本実施形態のHJFETは、以下のように形成される。

【0040】

まず、SiC等からなる基板10上に、例えば分子線エピタキシ(MBE)成長法によって半導体を成長させる。このようにして形成した半導体層は、基板10側から順に、アンドープのAlNからなるバッファ層11（膜厚20nm）、アンドープのGaNからなるチャネル層12（膜厚 $2\mu\text{m}$ ）、アンドープのAl_{0.2}Ga_{0.8}NからなるAlGaN供給層13（膜厚25nm）である。

【0041】

次いで、エピタキシャル層構造の一部をGaNチャネル層12が露出するまでエッチング除去することにより、素子間分離メサ（不図示）を形成する。続いて、AlGaN電子供給層13上に、例えばTi/Alなどの金属を蒸着することによってソース電極1およびドレイン電極3を形成し、650℃でアニールを行うことでオーム性接触を取る。

【0042】

続いて、SiON膜23（膜厚150nm）をプラズマCVD法等によって形成する。SiON膜23のうちフィールドプレート部5に覆われる部分をテーパー状にエッチングすることで、ゲート電極2側からドレイン電極3側に向かって膜厚が連続的に厚くなるフィールドプレート層23aを形成するとともに、AlGaN電子供給層13の一部を露出させ、露出したAlGaN電子供給層13上に例えばNi/Auなどの金属を蒸着して、

フィールドプレート部5を有するショットキー接触のゲート電極2を形成する。

【0043】

このようにして、図2に示したHJFETを作製する。

【0044】

本実施形態においても、フィールドプレート部5を設けることにより、ゲートドレイン間に高い逆方向電圧がかかった場合、ゲート電極2のドレイン電極3側の端部にかかる電界がフィールドプレート部5の働きによって緩和されることにより、ゲート耐圧が向上する。さらに、大信号動作時にはゲート直近の表面電位がフィールドプレート部5によって特に効果的に変調されるため、表面トラップの応答によるコラプスの発生を抑制することができる。

【0045】

加えて、電界が最も集中するゲート電極2の近傍の領域におけるSiON膜23、すなわちフィールドプレート部5の直下のSiON膜23であるフィールドプレート層23aを他の領域のSiON膜23よりも薄くすることで、この領域で表面負電荷とフィールドプレート部5との双方の働きによって電界集中を緩和し、ゲート耐圧を改善することが可能である。なお、表面負電荷はコラプスを引き起こす要因であるが、表面負電荷が生じるのはゲート電極2の直近であり、かつフィールドプレート層23aは比較的薄いためにフィールドプレート部5によって効果的に表面電位を変調することができるので、コラプスを抑制することが可能である。

【0046】

本実施形態のようにフィールドプレート層23aの厚さを連続的に変化させている構成では、フィールドプレート層23aの膜厚が変化する領域の、ゲート電極2とドレイン電極3との間に延びる方向の寸法を $0.3\mu\text{m}$ 以上とすることが好ましい。さらには、フィールドプレート層23aの膜厚が変化する領域の上記寸法を $0.5\mu\text{m}$ 以上とすることが好ましい。また、フィールドプレート部5の端部は、ドレイン電極3にオーバーラップしない位置とすることが好ましい。さらに、第1の実施形態で説明した理由により、フィールドプレート部5の寸法をゲート電極2とドレイン電極3の間隔の70%以下とすることが好ましい。

【0047】

本実施形態では、フィールドプレート部5の直下の全域にわたってフィールドプレート層23aの厚さを変化させているが、フィールドプレート部5の直下の少なくとも一部の領域においてフィールドプレート層23aの厚さを変化させる構成であれば同様の効果を得ることができる。また、本実施形態ではフィールドプレート部5がドレイン電極3側にひさし状に張り出す構成になっているが、フィールドプレート部5がソース電極1側にひさし状に張り出す構成としてもよい。また、本実施形態ではフィールドプレート層23aを構成する絶縁膜としてSiON膜を用いた例を示したが、SiON膜に代えてSiN膜、SiO₂膜、あるいはSiN膜とSiO₂膜との積層膜を用いた場合にも同様の効果を得ることができる。

【図面の簡単な説明】

【0048】

【図1】 本発明の第1の実施形態に係るHJFETの断面構造図である。

【図2】 本発明の第2の実施形態に係るHJFETの断面構造図である。

【図3】 従来技術によるヘテロ接合電界効果トランジスタの断面構造図である。

【図4】 表面保護膜SiNの厚さと、コラプスによる電流変化量およびゲート耐圧との関係を示すグラフである。

【図5】 フィールドプレート部を付加した従来技術の他のHJFETの断面構造図である。

【符号の説明】

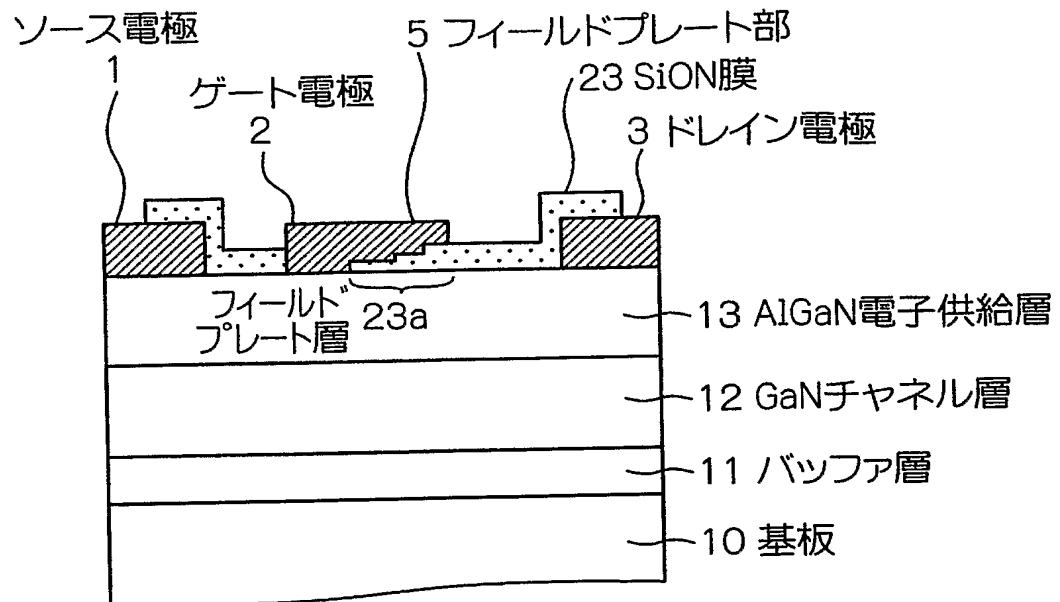
【0049】

1 ソース電極

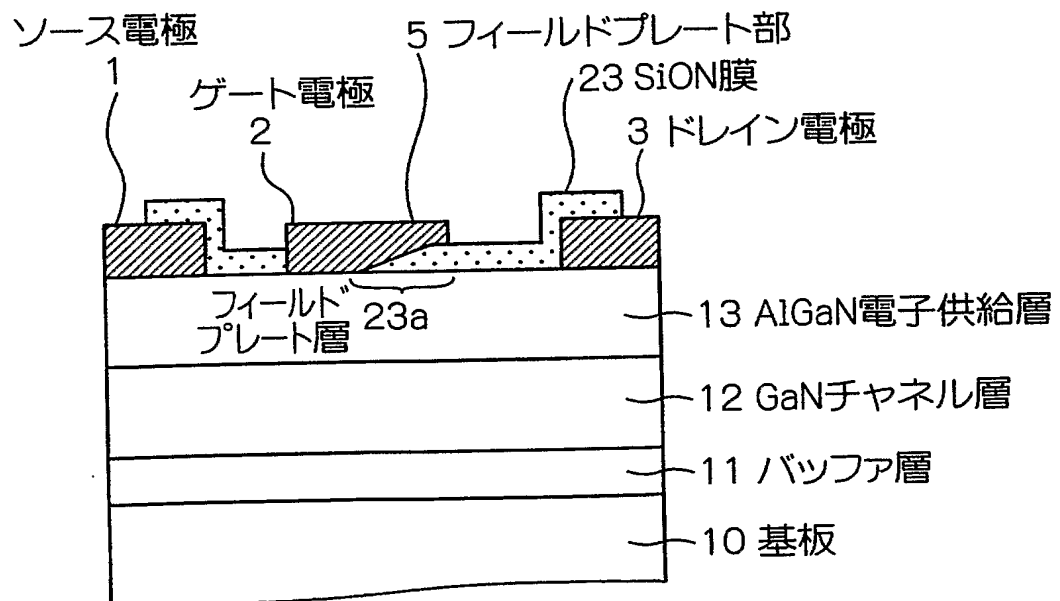
- 2 ゲート電極
- 3 ドレイン電極
- 5 フィールドプレート部
- 1 0 基板
- 1 1 バッファ層
- 1 2 G a Nチャネル層
- 1 3 A l G a N電子供給層
- 2 3 S i O N膜
- 2 3 a フィールドプレート層

【書類名】 図面

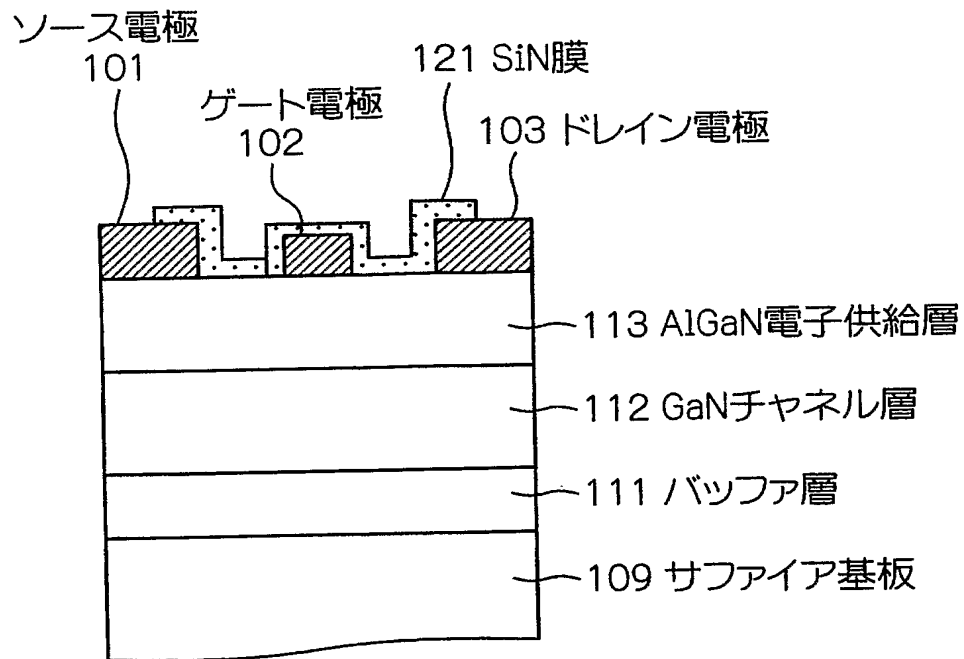
【図 1】



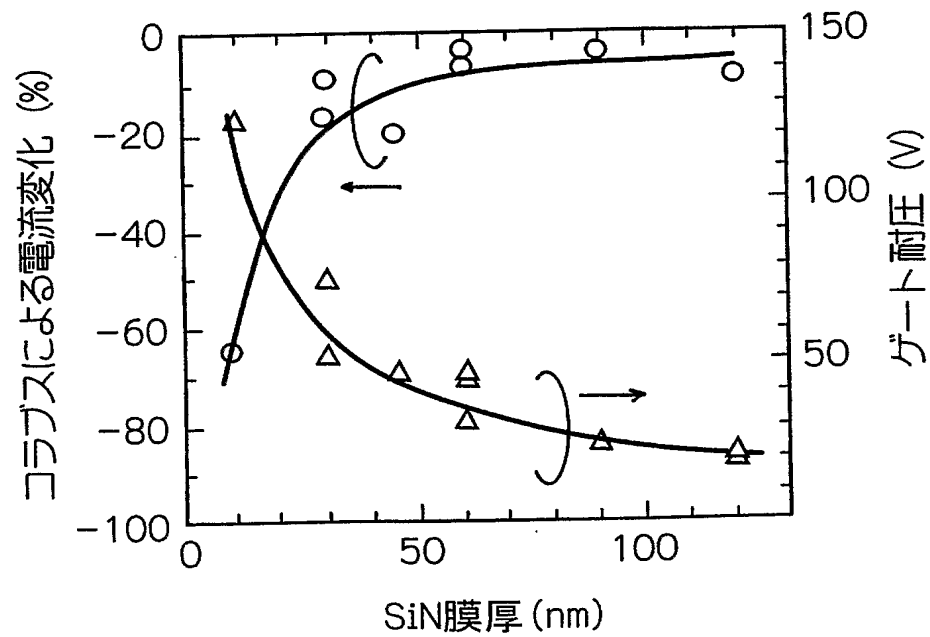
【図 2】



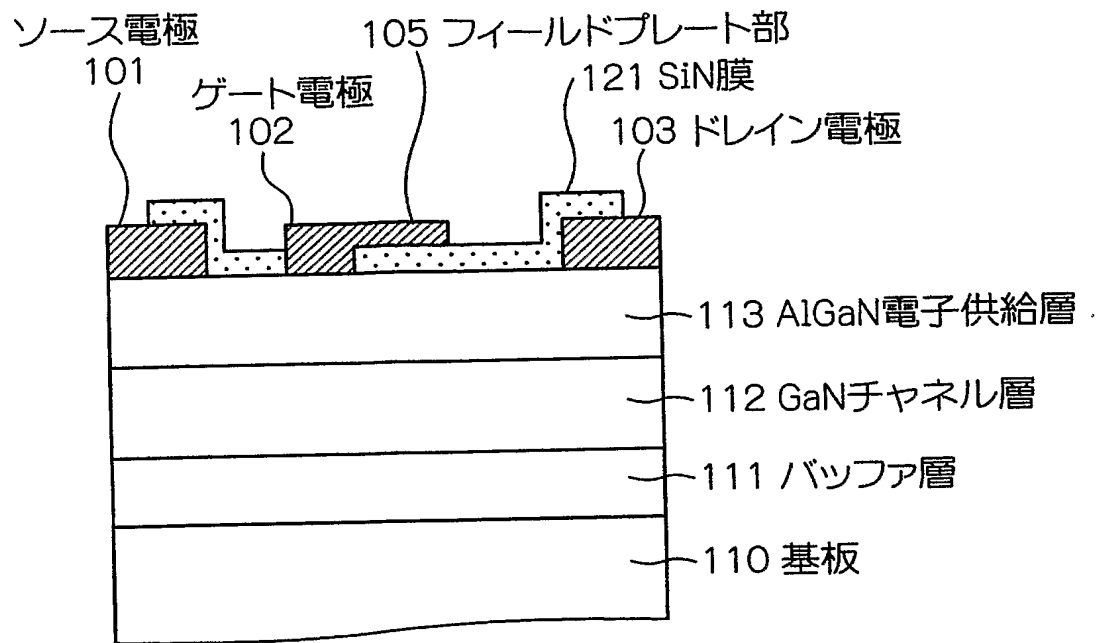
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 より高い電圧による動作を実現する上で必要とされるゲート耐圧とコラプス抑制との両立を図ることが可能な電界効果トランジスタを提供する。

【解決手段】 電界効果トランジスタは、GaNチャネル層12とAlGaN電子供給層13を含む半導体層構造と、電子供給層13上に互いに離間して形成されたソース電極1およびドレイン電極3と、ソース電極1とドレイン電極3との間に形成されたゲート電極2と、電子供給層13上に形成されたSiON膜23とを有している。ゲート電極2は、ドレイン電極3側にひさし状に張り出し、かつSiON膜23上に形成されたフィールドプレート部5を有している。SiON膜23のフィールドプレート部5と電子供給層13との間に位置する部分（フィールドプレート層23a）の厚さが、ゲート電極2からドレイン電極3の方向に向かって次第に厚くなるように変化している。

【選択図】 図1

特願 2 0 0 4 - 0 4 4 4 5 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社